

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-028971
 (43)Date of publication of application : 31.01.1990

(51)Int.CI. H01L 29/784
 H01L 27/088

(21)Application number : 63-179829 (71)Applicant : MITSUBISHI ELECTRIC CORP
 (22)Date of filing : 18.07.1988 (72)Inventor : OBAYASHI YOSHIKAZU

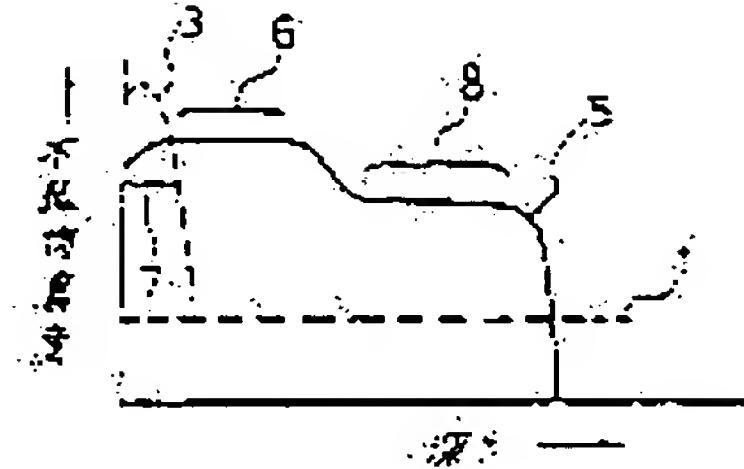
(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To realize a MOS transistor having improved performance such as breakdown voltage, current ability or the like and to shorten the conventional gate length for realizing a high speed integrated circuit by constructing the device such that the peak of dopant concentration is present in a deeper part than the surface of a well.

CONSTITUTION: Phosphorus is implanted to form a deeper part 8. Then, arsenic is implanted into a region having a peak position at 1 to 2 μ m from the surface at high energy for example of 1-MeV and subsequently diffused at 1100 to 1200° C for 6 to 10 hours. A structure obtained thereby has a concentration of 1 to 2 \times 10¹⁶ units/cm³ at the outermost surface, of 2 to 10 \times 10¹⁶ units/cm³ in the peak part and of 1 to 2 \times 10¹⁶ units/cm³ in the deeper part 8. A counter-dose channel doped layer is formed on the well having such distribution of concentration for regulating V_{th}.

According to such construction, the well layer has distribution of dopant concentration at the surface by which the counter-dose channel doped layer is defined, and thereby bulk punch-through can be prevented effectively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑯ 公開特許公報 (A) 平2-28971

⑮ Int.Cl.⁵H 01 L 29/784
27/088

識別記号

庁内整理番号

⑯ 公開 平成2年(1990)1月31日

8422-5F H 01 L 29/78 301 H
7735-5F 27/08 102 A

審査請求 未請求 請求項の数 1 (全3頁)

④ 発明の名称 半導体装置

⑤ 特 願 昭63-179829

⑥ 出 願 昭63(1988)7月18日

⑦ 発明者 大林 由和 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹
製作所内

⑧ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑨ 代理人 弁理士 早瀬 憲一

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 第1導電型の基板中に形成された第2導電型のウェル層を備えた半導体装置において、

該ウェル層の不純物濃度が最大になる部分が該ウェル層の表面より深い位置にあることを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体装置に関し、特にMOS型半導体集積回路などに用いられるMOSトランジスタの基板及びウェルの不純物濃度分布の改良に関するものである。

(従来の技術)

第2図は従来構造のウェルを用いたMOSトランジスタのゲート直下の不純物濃度分布を示す図であり、図において、1は基板の不純物濃度分布、2はウェルの不純物濃度分布、3はV_{th}調整用の

チャネルドープによる不純物分布である。第3図は第2図の構造を改良した従来のMOSトランジスタのゲート直下の不純物プロファイルを示す図であり、図において、1～3は第1図と同じであり、4はチャネルドープなどによって形成されたバルクバンチスルーフ防止用の基板内にピーク位置をもつ3とは別の不純物分布である。

次に動作について説明する。第2図に示す不純物分布をもつ従来のMOSトランジスタにおいては、例えば1～2×10¹⁵ケ/cm³位の不純物濃度をもつP型基板の上に1～2×10¹⁶/cm³の濃度分布2をもつn型不純物層が接合深さ3～10μm程度で形成される。次にゲートを形成する直前にチャネルドープによりしきい値電圧V_{th}を調整するためには、ピーカー濃度0.5～1×10¹⁷ケ/cm³、深さ0.1～0.4μmの分布3をもつP型層が形成される。このような第2図に示す構造を持つため従来の半導体装置は、ある一定のV_{th}、例えば-0.5～-1.0VのV_{th}を実現するためにウェルの濃度とチャネルドープ層の濃度をある一定の範囲の

割合にする必要があった。このためトランジスタのソース・ドレイン耐圧を向上する目的でバルク部分でのパンチスルー現象を抑制するためにウェルの濃度を高くすれば V_{th} を一定に保つために同じ割合でチャネルドープ層の濃度を高くしなければならず、この結果チャネルドープ層部分での表面リーキによるソース・ドレイン耐圧の低下現象が発生し、ウェルの濃度を上げたことによる耐圧向上の効果が減少し、また n 、 p 両不純物濃度の増大によるホール移動度の低下によるトランジスタの電流駆動能力の低下によってデバイス特性の劣化が生じるという欠点があった。

第3図は第2図の構造を持つ従来の半導体装置の上述のような欠点を除くために改良された従来の他の半導体装置の不純物濃度分布を示す図である。第3図からわかるように、この従来例装置は第2図の装置に加えて、バルクのパンチスルーを抑制するため、例えば n 型不純物の P 、 A_s などをチャネルドープ工程においてドープし、ピーク深さが表面より $0.05 \sim 0.5 \mu m$ の位置にあり、ピ

ーク濃度が $5 \sim 10 \times 10^{16} \text{ ケ}/\text{cm}^3$ 程度である、表面濃度をピーク部分よりも低下させた分布4を持たせている。この構造では表面付近の n 型不純物の濃度が低下しているので、 V_{th} を調整するために P 型チャネルドープ層の濃度をあまり増やす必要がなく、そのため表面付近でのリーキによる耐圧劣化が起こりにくく、またバルクでのパンチスルーを抑制するためにその部分に起因するソース・ドレインの耐圧劣化が起こりにくいという利点をもっている。又、前述したようにチャネルドープ層の濃度もあまり増やす必要がないためホールの移動度の劣化も第2図に示す例に比べれば少ない。しかしながら、第3図に示す構造ではバルクパンチスルーを抑えるための層を浅く $0.05 \sim 0.5 \mu m$ の範囲に作らなければならず、そのため製造法としては熱処理のあまり加わらない後工程で形成する必要がある。従ってチャネルドープ工程でこの n 層を形成しなければならず、このため n チャネルエンハンストランジスタと P チャネルエンハンストランジスタの V_{th} を一度の P 型不

純物のチャネルドープで決定するために従来行っていた工程に加えて P チャネルトランジスタ部分に選択的に n 型不純物を注入しなければならず、そのため1回余分に写真製版工程が必要となる。
(発明が解決しようとする課題)

従来の半導体装置は以上のように構成されており、バルクパンチスルー防止用チャネルドープを持たないものではバルク部分での耐圧を上げようすると表面部分でのリーキによる耐圧劣化が発生したり、電流駆動力が低下するという問題点があり、またバルクパンチスルー防止用チャネルドープを設け、上述の欠点を全て解決しようとなれば製造工程が増加するという問題点があった。

この発明は上記のような問題点を解消するためになされたもので、写真製版工程を増やすことなく作製できる、ウェルを有するMOSトランジスタの耐圧を電流駆動能力の低下を起こすことなく向上できる半導体装置を得ることを目的としている。

(課題を解決するための手段)

この発明による半導体装置はウェル層の不純物濃度が最大になる部分が該ウェル層の表面より深い位置にくるようにし、その結果それと同一伝導型をもつキャリアの表面濃度をピーク濃度より低くしたものである。

(作用)

この発明においてはバルクパンチスルーを抑えるためのウェルと同一伝導型キャリアをもつ不純物層をウェルと同時に形成できるような構造にし、かつその不純物層の表面濃度を内部のバルクパンチスルーを防止するための部分よりも低くしているので、このような不純物濃度分布を持つように構成されたMOSトランジスタはソース・ドレイン耐圧が向上し、かつ移動度の低下による電流駆動力の低下もなく、又この構造を製造するのに余計な写真製版工程の増加もない。

(実施例)

第1図はこの発明の一実施例を示す半導体装置のゲート直下の不純物濃度分布を示す図であり、図において、第2、第3図と同一符号は同一構成

部分を示している。

図からわかるように、本実施例装置は、第3図の従来例に示すようなバルクバンチスルーを防止するためのチャネルドープ層がなく、代わりにウェル層の濃度分布5に示すように従来のチャネルドープ層よりも深い部分6でピークをもつようにし、かつその濃度は表面部分7で低下している。

次に本実施例におけるウェル領域の形成方法について説明する。

まず、リンをより深い部分8を形成するために注入し、次に砒素を1MeVの高エネルギーで表面より1~2μ程度のピーク位置をもつところへ注入してのちに1100~1200℃で6~10時間拡散すれば最表面濃度 $1 \sim 2 \times 10^{16}$ ケ/cm³、ピーク部分 $2 \sim 10 \times 10^{16}$ ケ/cm³、それより深い部分8で $1 \sim 2 \times 10^{16}$ ケ/cm³の濃度をもつような構造が実現可能である。

このような濃度分布を持つウェルに対しV_{th}を調整するためのカウンタドーズチャネルドープ層を形成すれば第1図に示す不純物濃度分布を持つ

半導体装置が実現できる。本実施例による半導体装置では、濃度ピークがウェル層をカウンタドーズチャネルドープ層を形成する表面部分不純物濃度分布を持つように構成したので、バルクバンチスルーが防止できて、それによるソース・ドレイン耐圧劣化もなく、又表面付近でのウェル濃度を低くしてあるのでカウンタドーズ量を低下させることができ、その結果、表面付近でのリークによるソース・ドレイン耐圧劣化も起こりにくく、又移動度の低下もなく、これによるMOSトランジスタの電流駆動力低下も少ない。またウェル濃度を上げるような構造で形成されるので、製造上、従来の改良法のようにチャネルドープ工程の写真製版工程を増加させることなく実現できる。

(発明の効果)

以上のようにこの発明によれば半導体装置にてウェルの表面より深い部分で不純物濃度のピークをもつように構成したので、これにより構成されたMOSトランジスタの耐圧、電流駆動能力等の性能が向上し、これによりゲート長を従来よ

り、より短くできるのでより高速の集積回路を提供することが可能となる効果がある。

4. 図面の簡単な説明

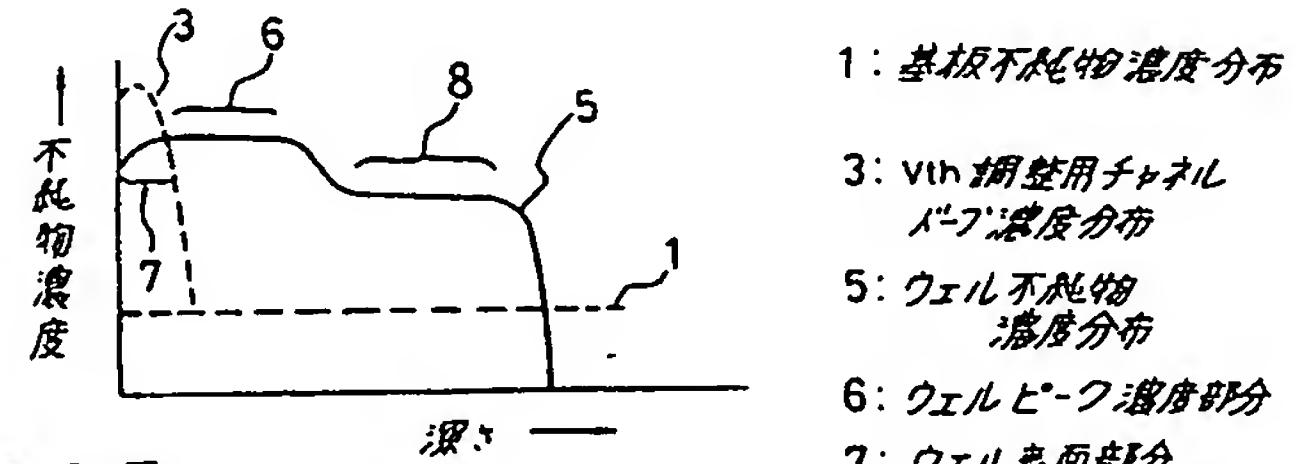
第1図はこの発明による半導体装置のゲート直下の不純物濃度分布を示す図、第2図は従来のMOSトランジスタのゲート直下の不純物濃度分布を示す図、第3図は第2図の従来の改良例を示す不純物濃度を示す図である。

1は基板不純物濃度分布、3はV_{th}調整用のチャネルドープ濃度分布、5はウェル不純物濃度分布、6はウェルピーク濃度部分、7はウェル表面部分、8はウェル基板内部側部分。

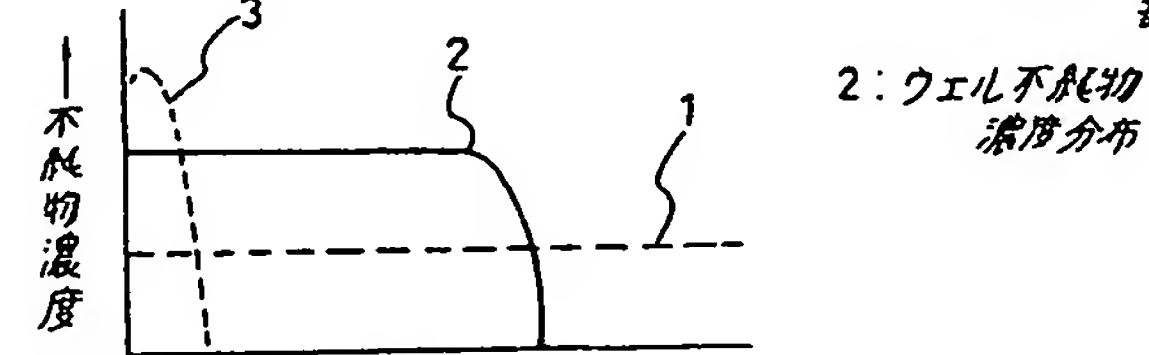
なお図中同一符号は同一又は相当部分を示す。

代理人 早瀬憲一

第1図



第2図



第3図

